

Podstawowe cechy charakterystyczne układu MCY 7880N /MCY 6880N/:

- 8-bitowe słowo danych;
- Stała lista 78 instrukcji;
- Odrębne szyny danych i adresów;
- 8-bitowa jednostka arytmetyczno-logiczna /ALU/ z możliwością pracy w systemie BCD, w systemie binarnym na słowach podwójnej długości;
- Bezpośrednie adresowanie pamięci o pojemności do 64 kbajtów;
- Sześć 8-bitowych rejestrów ogólnego przeznaczenia dostępnych dla programisty;
- 8-bitowy akumulator;
- 8-bitowy rejestr instrukcji;
- 16-bitowy licznik rozkazów;
- 16-bitowy wskaźnik stosu;
- Kanał bezpośredniego dostępu do pamięci /DMA/;
- 4 sposoby adresowania pamięci;
- Wielopoziomowy, wektorowy system przerwań;
- Programowe rozwiązanie stosu w pamięci RAM;
- Dwufazowy zegar o maksymalnej częstotliwości 3 MHz;
- Trzy napięcia zasilania +12 V; +5 V; -5 V;
- Współpraca z układami TTL /poza wejściami zegarowymi/.

MCY 7880N

MCY 6880N

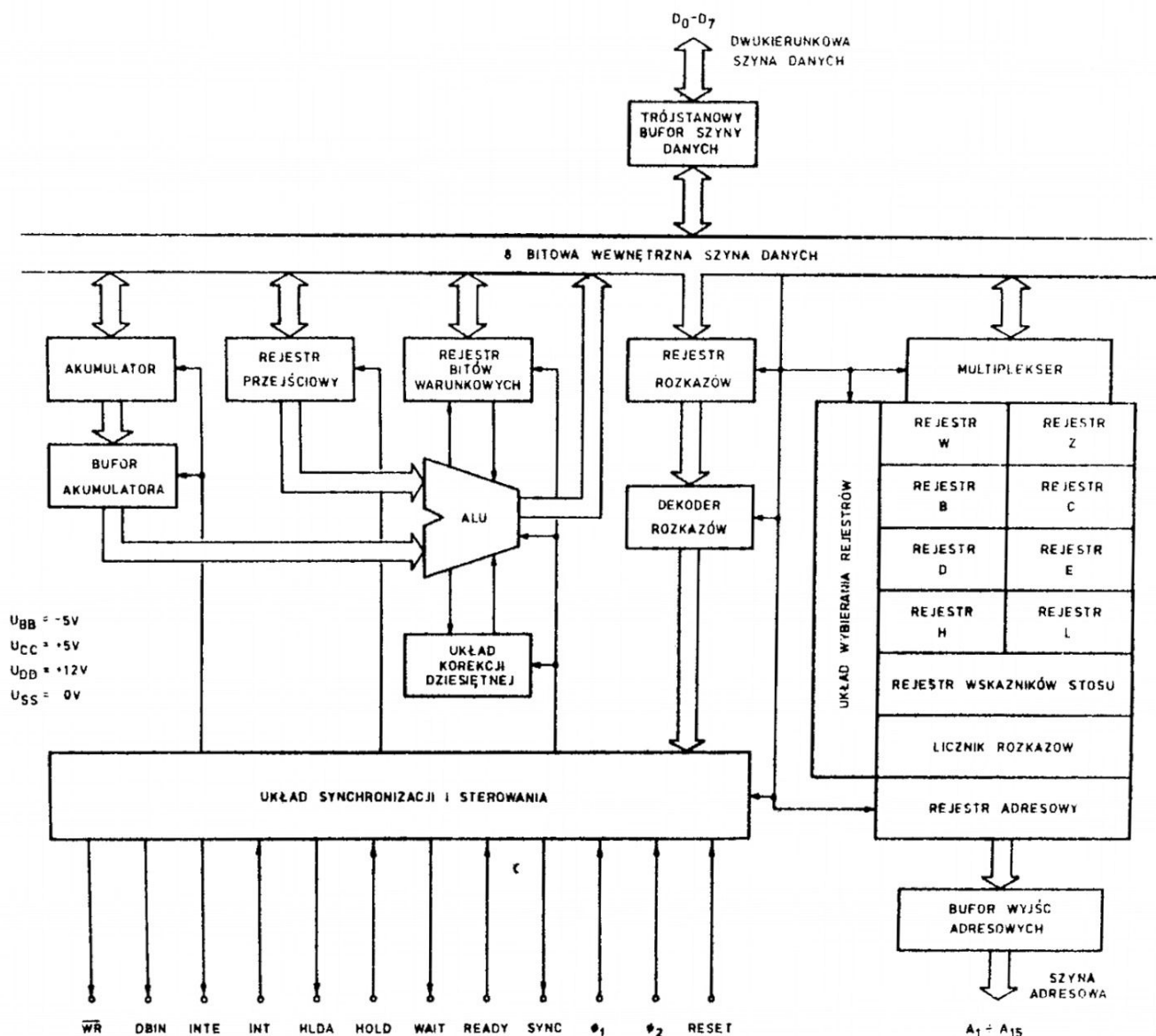
8-bitowa równoległa
jednostka centralna
(CPU)

LSI NMOS

Bramka krzemowa

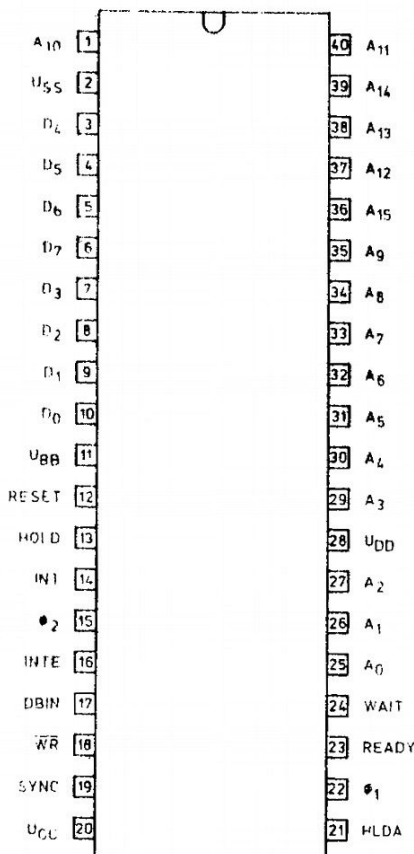
Obudowa CE 78

Blokowy schemat wewnętrzny



Układ wyprowadzeń

Opis wyprowadzeń



$A_{15} - A_0$
/ADDRESS BUS/

- wyjścia trzystanowej szyny adresowej dostarczającej adresy do pamięci /8 x 64 kbitów/ lub wskazującej numer urządzenia We/Wy /12 urządzeń zewnętrznych/.

$D_7 - D_0$
/DATA BUS/

- wejścia/wyjścia trzystanowej dwukierunkowej szyny danych pozwalające na komunikowanie się jednostki centralnej z pamięcią i urządzeniami We/Wy.

SYNCH
/SYNCHRONIZING SIGNAL/

- wyjście sygnału synchronizacji. Sygnał określa początek każdego cyklu maszynowego.

DBIN
/DATA BUS IN/

- wyjście sygnału wskazującego zewnętrznym urządzeniom stan oczekiwania jednostki centralnej na dane.

READY

- wejście sygnału wskazującego jednostce centralnej dostępność danych na szynie. Sygnał jest używany do synchronizacji CPU z pamięcią lub urządzeniami We/Wy. Jeżeli po wysłaniu adresu jednostka centralna nie odbierze sygnału na wejściu READY, wejdzie w stan oczekiwania /WAIT/ i pozostanie w nim do momentu pojawienia się stanu wysokiego na linii READY.

WAIT

- wyjście sygnału potwierdzającego stan oczekiwania jednostki centralnej.

$\overline{WR}$
/WRITE/

- wyjście sygnału zapisu do pamięci lub transmisji danych do urządzeń wyjścia. $\overline{WR}$ jest w stanie niskim, gdy dane wychodzące z jednostki centralnej są stabilne.

HOLD

- wejście sygnału żądającego od jednostki centralnej przejęcia kontroli nad zewnętrzną szyną adresową i szyną danych przez urządzenia zewnętrzne. W następstwie tego sygnału jednostka centralna zawieszona swoją pracę, wprowadza szynę adresową i szynę danych w stan trzeci i wysyła sygnał HLDA.

HLDA
/HOLD
ACKNOWLEDGE/

- wyjście sygnału potwierdzającego możliwość przejęcia kontroli nad szyną danych i szyną adresową przez urządzenia zewnętrzne /realizacja bezpośredniego dostępu do pamięci/.

INT
/INTERRUPT
REQUEST/

- wejście sygnału przerwania. Sygnał ten określa żądanie przerwania wykonywanego programu. Sygnał nie jest akceptowany wówczas, gdy system jest w stanie HLDA lub przerzutnik stanu przerwania wyzerowany.

INTE
/INTERRUPT
ENABLE/

- wyjście sygnału określającego stan przerzutnika przerwania. Przerzutnik ten jest zerowany samoczynnie po otrzymaniu sygnału RESET lub rozpoczęciu obsługi przerwania.

RESET

- wejście sygnału zerowania. Jednostka centralna po odebraniu tego sygnału zeruje licznik rozkazów i przerzutniki sygnałów INTE i HLDA. Nie zerowane są: akumulator, rejestr bitów warunkowych, rejestr wskaźników stosu, rejestry ogólnego przeznaczenia. Sygnał RESET musi być w stanie aktywnym przez minimum 3 cykle zegarowe.

ϕ_1, ϕ_2

- wejścia sygnałów zegarowych. Są to jedyne wejścia niewspółpracujące z układami TTL.

$U_{SS}, U_{DD}, U_{CC},$
 U_{BB}

- wejścia zasilające.

Parametry dopuszczalne / $U_{BB} = 0 \text{ V}$ /

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
U_{CC}, U_{DD}, U_{SS}	Napięcie zasilania	V	-0,3	20
U_W	Napięcie na pozostałych wyprowadzeniach	V	-0,3	20
P_D	Moc rozpraszana	W		1,5
t_{amb}	Temperatura otoczenia w czasie pracy			
	MCY 7880N	$^{\circ}\text{C}$	0	+70
	MCY 6880N	$^{\circ}\text{C}$	-40	+85
t_{stg}	Temperatura przechowywania			
	MCY 7880N	$^{\circ}\text{C}$	-40	+125
	MCY 6880N	$^{\circ}\text{C}$	-55	+125

Parametry charakterystyczne statyczne

/ $U_{DD} = 12 \text{ V} \pm 5\%$; $U_{CC} = 5 \text{ V} \pm 5\%$; $U_{BB} = -5 \text{ V} \pm 5\%$; $U_{SS} = 0 \text{ V}$;

$t_{amb} = t_{amb \text{ min}} \div t_{amb \text{ max}}$ /

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
U_{ILC}	Napięcie wejścia zegarowego w stanie niskim	V	$U_{SS}-1$	$U_{SS}+0,8$	
U_{IHC}	Napięcie wejścia zegarowego w stanie wysokim	V	9	$U_{DD}+1$	
U_{IL}	Napięcie wejściowe w stanie niskim	V	$U_{SS}-1$	$U_{SS}+0,8$	

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
U_{IH}	Napięcie wejściowe w stanie wysokim	V	3,3	$U_{CC}+1$	
U_{OL}	Napięcie wyjściowe w stanie niskim	V		0,45	$I_{OL} = 1,9 \text{ mA}$ wszystkie wyjścia
U_{OH}	Napięcie wyjściowe w stanie wysokim	V	3,7		$I_{OH} = -150 \mu\text{A}$
I_{DDav}	Prąd zasilania podczas pracy /wypr. U_{DD} /	mA		70	$t_{CY} = 480 \text{ ns}$
I_{CCav}	Prąd zasilania podczas pracy /wypr. U_{CC} /	mA		80	
I_{BBav}	Prąd zasilania podczas pracy /wypr. U_{BB} /	mA		1	
I_{LI}	Wejściowy prąd upływu	μA		± 10	$U_{SS} \leq U_I \leq U_{CC}$
I_{LC}	Prąd upływu wejść zegarowych	μA		± 10	$U_{SS} \leq U_C \leq U_{DD}$
I_{LD}	Prąd upływu wejść danych	μA		-100	$U_{SS} \leq U_I \leq U_{SS} + 0,8 \text{ V}$
		mA		-2	$U_{SS} + 0,8 \text{ V} \leq U_I \leq U_{CC}$
I_{LF}	Prąd upływu wyjść danych i adresowych w stanie wysokiej impedancji	μA		+10	$U_{ADDR/DATA} = U_{CC}$
				-100	$U_{ADDR/DATA} = U_{SS} + 0,45 \text{ V}$

Parametry charakterystyczne dynamiczne

$$/U_{DD} = 12 \text{ V} \pm 5\%; U_{CC} = 5 \text{ V} \pm 5\%; U_{BB} = -5 \text{ V} \pm 5\%; U_{SS} = 0 \text{ V};$$

$$t_{amb} = t_{amb \text{ min}} \div t_{amb \text{ max}}/$$

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
t_{CY}	Okres zegara	ns	0,48	2
t_r, t_f	Czas narastania i opadania impulsów zegarowych	ns	0	50
$t_{\phi 1}$	Szerokość impulsu fazy ϕ_1	ns	60	
$t_{\phi 2}$	Szerokość impulsu fazy ϕ_2	ns	220	
t_{D1}	Opóźnienie narastającego zbocza fazy ϕ_2 względem opadającego zbocza fazy ϕ_1	ns	0	
t_{D2}	Opóźnienie narastającego zbocza fazy ϕ_1 względem opadającego zbocza fazy ϕ_1	ns	70	

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
t_{DJ}	Opóźnienie narastającego zbocza fazy ϕ_2 względem narastającego zbocza fazy ϕ_1	ns	80	
t_{DA}	Opóźnienie sygnału adresowego względem narastającego zbocza fazy ϕ_2	ns		200
t_{DD}	Opóźnienie wyjścia danych względem narastającego zbocza ϕ_2	ns		220
t_{DC}	Opóźnienie wyjścia sygnałów SYNC, $\overline{WR}$, WAIT, HLDA względem narastającego zbocza faz ϕ_1 lub ϕ_2	ns		120
t_{DF}	Opóźnienie wyjścia sygnału DBIN względem narastającego zbocza fazy ϕ_2	ns	25	140
t_{DI}	Opóźnienie wejścia szyny danych w stan oczekiwania na przyjęcie danych względem narastającego zbocza ϕ_2	ns		t_{DF}
t_{DS1}	Czas podtrzymania danych wejściowych względem opadającego zbocza fazy ϕ_1 przy DBIN = 1	ns	30	
t_{DS2}	Czas podtrzymania danych wejściowych względem narastającego zbocza fazy ϕ_2 przy DBIN = 1	ns	150	
t_{DH}	Czas podtrzymania danych wejściowych względem narastającego zbocza fazy ϕ_2 przy DBIN = 1	ns	uwaga 1	
t_{IE}	Opóźnienie zmiany stanu sygnału $\overline{INT}$ względem narastającego zbocza fazy ϕ_2	ns		200
t_{RS}	Czas podtrzymania sygnału READY względem opadającego zbocza fazy ϕ_2	ns	120	
t_{HS}	Czas podtrzymania sygnału HOLD względem narastającego zbocza fazy ϕ_2	ns	140	
t_{IS}	Czas podtrzymania sygnału INT względem opadającego zbocza fazy ϕ_2	ns	120	
t_H	Czas podtrzymania sygnałów READY, INT, HOLD względem opadającego zbocza fazy ϕ_2	ns	0	
t_{FD}	Opóźnienie wejścia wyjść adresowych i danych w stan wysokiej impedancji w stanie HOLD	ns		120
t_{AW}	Czas podtrzymania adresów przed sygnałem $\overline{WR}$	ns	uwaga 2	

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
t_{DW}	Czas podtrzymania danych wyjściowych przed sygnałem $\overline{WR}$	ns	uwaga 3	
t_{WD}	Czas podtrzymania danych wyjściowych po sygnale $\overline{WR}$	ns	uwaga 4	
t_{WA}	Czas pozostawiania adresów po sygnale $\overline{WR}$	ns	uwaga 4	
t_{HF}	Opóźnienie wejścia wyjść adresowych i danych w stan wysokiej impedancji względem narastającego zbocza HLDA	ns	uwaga 5	
t_{WF}	Opóźnienie wejścia wyjść adresowych i danych w stan wysokiej impedancji względem narastającego zbocza $\overline{WR}$	ns	uwaga 6	
t_{AH}	Czas podtrzymania adresów po sygnale $\overline{DBIN}$ podczas HLDA = 1	ns	-20	

U w a g a 1. Mniejszy spośród: t_{DF} lub 50 ns

U w a g a 2. $t_{AW} = 2 t_{CY} - t_{D3} - t_r - 140$ ns

U w a g a 3. $t_{DW} = t_{CY} - t_{D3} - t_r - 170$ ns

U w a g a 4. Jeżeli HLDA = 0 $t_{WD} = t_{WA} = t_{D3} + t_r + 10$ ns,
jeżeli HLDA = 1 $t_{WD} = t_{WA} = t_{WF}$

U w a g a 5. $t_{HF} = t_{D3} + t_r - 50$ ns

U w a g a 6. $t_{WF} = t_{D3} + t_r - 10$ ns

Parametry dynamiczne pojemności

$/U_{BB} = -5$ V; $U_{CG} = U_{DD} = U_{SS} = 0$ V; $t_{amb} = t_{amb\ min} \div t_{amb\ max}$

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
C_ϕ	Pojemność wejść zegarowych	pF	17	25	f = 1 MHz wyprowadzenia niemierzone zwarte z U_{SS}
C_I	Pojemność wejściowa	pF	6	10	
C_O	Pojemność wyjściowa	pF	10	20	

